

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**SUPER LUMINESCENT DIODE**

Patent Number: JP6097493  
Publication date: 1994-04-08  
Inventor(s): MUSHIGAMI MASAHIITO; others: 02  
Applicant(s): ROHM CO LTD  
Requested Patent: ☐ JP6097493  
Application Number: JP19920244660 19920914  
Priority Number(s):  
IPC Classification: H01L33/00  
EC Classification:  
Equivalents: JP2769408B2

---

**Abstract**

---

**PURPOSE:** To provide a super luminescent diode which has a performance not lower than that of the conventional super luminescent diode with shorter element length, smaller area and excellent manufacturing reproducibility.

**CONSTITUTION:** On a semiconductor substrate 1 of one conductivity type, a bottom clad layer 2 and an activating layer 3 of the same conductivity type as the substrate and top clad layers 4 and 7 of the opposite conductivity type are formed and a super luminescent diode is constituted. In the top clad layer 2, a current blocking layer 5, which has the same conductivity type as the substrate 1, has the same or small band gap energy compared with the activating layer 3 with the same or larger refraction factor compared with the activating layer, is provided except on a rectangular current injecting area 13.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-97493

(43)公開日 平成6年(1994)4月8日

(51)Int.Cl.<sup>4</sup>

H01L 33/00

識別記号

庁内整理番号

A 7514-4M

FI

技術表示箇所

審査請求 未請求 請求項の数2(全5頁)

(21)出願番号 特願平4-244660

(22)出願日 平成4年(1992)9月14日

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院薄崎町21番地

(72)発明者 虫上 雅人

京都市右京区西院薄崎町21番地 ローム株式会社内

(72)発明者 山内 達夫

京都市右京区西院薄崎町21番地 ローム株式会社内

(72)発明者 尺田 幸男

京都市右京区西院薄崎町21番地 ローム株式会社内

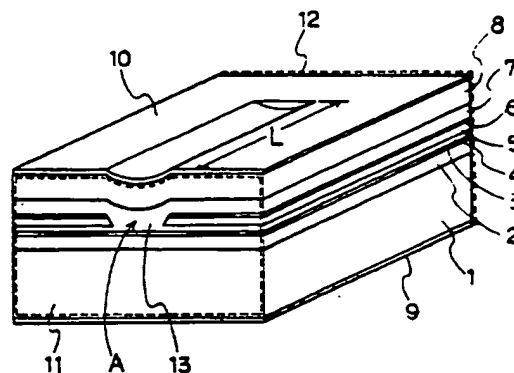
(74)代理人 弁理士 朝日奈 宗太 (外2名)

(54)【発明の名称】 スーパールミネッセントダイオード

(57)【要約】

【目的】 従来のスーパールミネッセントダイオードと同等以上の性能を有するにもかかわらず素子長さが短かく、かつ、面積が小さく、また製作の再現性に優れたスーパールミネッセントダイオードを提供する。

【構成】 一導電型の半導体基板上1に、該基板と同じ導電型の下部クラッド層2、活性層3、および前記基板と反対の導電型の上部クラッド層4、7が形成されたスーパールミネッセントダイオードにおいて、前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層5が矩形状の電流注入領域13を除いて設けられている。



- |             |                    |
|-------------|--------------------|
| 1 半導体基板     | 7 上部第2クラッド層        |
| 2 下部クラッド層   | 11, 12 低反射率コーティング膜 |
| 3 活性層       | 13 電流注入領域          |
| 4 上部第1クラッド層 |                    |
| 5 電流ブロッキング層 |                    |

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板上に、該基板と同じ導電型の下部クラッド層、活性層、および前記基板と反対の導電型の上部クラッド層が形成されたスーパーミネッセントダイオードであって、

前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ、屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層が、矩形の電流注入領域を除いて設けられることを特徴とするスーパーミネッセントダイオード。

【請求項2】 前記電流ブロッキング層と活性層との距離が $0.2 \sim 0.5 \mu\text{m}$ であり、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ である請求項1記載のスーパーミネッセントダイオード。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はスーパーミネッセントダイオード（以下、SLDという）に関する。さらに詳しくは、光ファイバジャイロ、光センサ、光ディスクなどの光源として有用なインコヒーレント光を、大きな強度と小さな放射角で放射できるSLDに関する。

## 【0002】

【従来の技術】 活性層端面から大出力のインコヒーレント光を取り出すSLDでは、ファブリペロ（FP）モードによるレーザ発振を抑圧することが重要であり、従来より、以下のようなSLD素子構造が提案されている。

【0003】 すなわち、（1）両端面に無反射コート（AR（Anti Reflective）コート）30を形成し、反射率を低減することによりFPモードを抑圧する方法（図4参照）、（2）素子の活性層の片側を非励起領域31とし、電流注入領域で発光した光をこの領域で吸収し、等価的に端面の反射率を低下させ、FPモードを抑圧する方法（図5参照）、および（3）曲り導波路32を用い、電流注入領域で発光した光を端面で全反射させ、FPモードを抑圧する方法（図6参照）などが提案されている。なお、図4～6で、33は電流注入領域のストライプ、30は無反射コート、31は非励起領域である。

## 【0004】

【発明が解決しようとする課題】 しかしながら、端面にARコートを形成する（1）の方法では、レーザ発振を抑えるに十分な超低反射率のARコートを再現性よく形成する必要があるが、製作が困難であるという問題がある。

【0005】 また、素子の活性層の片側を非励起領域とする（2）の方法では、このような非励起領域には特別な吸収機構がないため、FPモードを完全に抑えるためには非励起領域を長くしなければならず、素子の長さ（長さ）が大きくなってしまいう問題がある。

ズ（長さ）が大きくなってしまいう問題がある。

【0006】 さらに、曲り導波路を用いる（3）の方法でも、曲り導波路を形成するため、（2）の方法同様に素子の長さ（長さ）が大きくなってしまいう問題がある。

【0007】 本発明は、叙上の事情に鑑み、前記従来技術の有する欠点が解消されたSLDを提供することを目的とする。すなわち、本発明の目的は、従来のSLDと同等以上の性能を有するにもかかわらず素子長さが短かく、かつ面積が小さく、また製作の再現性に優れたSLDを提供することである。

## 【0008】

【課題を解決するための手段】 本発明のSLDは、一導電型の半導体基板上に、該基板と同じ導電型の下部クラッド層、活性層および前記基板と反対の導電型の上部クラッド層が形成されたスーパーミネッセントダイオードであって、前記上部クラッド層中に、前記基板と同じ導電型であり、バンドギャップエネルギーが前記活性層と等しいかまたは前記活性層よりも小さく、かつ屈折率が前記活性層と等しいかまたは前記活性層よりも大きい電流ブロッキング層が、ストライプ状の電流注入領域を除いて設けられることを特徴としている。

【0009】 また、本発明のSLDにおいては、前記電流ブロッキング層と活性層との距離が $0.2 \sim 0.5 \mu\text{m}$ となり、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗が $0.01 \sim 0.5 \Omega \cdot \text{cm}$ となるように形成されていることが好ましい。

## 【0010】

【作用】 本発明のSLDにおける電流ブロッキング層は、活性層よりもバンドギャップエネルギーが等しいかまたは小さく、かつ、屈折率が等しいかまたは大きい。このため、電流注入領域の活性層で発光された光は、非電流注入領域では、電流ブロッキング層にひき込まれ、有効に吸収することができる。その結果、非励起領域を短かくしても光を確実に吸収することができる。

【0011】 また、電流ブロッキング層と活性層との距離を $0.2 \sim 0.5 \mu\text{m}$ に設定し、電流ブロッキング層と活性層とのあいだの上部クラッド層の比抵抗を $0.01 \sim 0.5 \Omega \cdot \text{cm}$ に設定すれば、無効電流を少なくすることができるので、電流注入部の真下に有効に電流を供給でき、かつ、側面での光吸収を小さくすることができる。また、平面基板上に活性層を作るので、MBE、MOCVDなどの気相成長法でも結晶性のよい素子を作ることが可能となる。

## 【0012】

【実施例】 つぎに添付図面を参照しつつ本発明のSLDを詳細に説明する。図1は本発明のSLDの一実施例の説明図である。

【0013】 図1において、1はn-GaAsからなる半導体基板であり、その表面は段差や溝がなく平坦であ

る。半導体基板1上には $n\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる厚さ1.0~3.0  $\mu\text{m}$ 程度の下部クラッド層2、アンドープ $\text{Al}_{0.05}\text{Ga}_{0.95}\text{As}$ からなる厚さ0.04~0.2  $\mu\text{m}$ 程度の活性層3、および $p\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる厚さ0.2~0.5  $\mu\text{m}$ 程度の上部第1クラッド層4が形成されている。そして、該上部第1クラッド層4上には、さらに、 $n\text{-GaAs}$ からなる厚さ0.2~1.0  $\mu\text{m}$ 程度の電流ブロッキング層5、 $n\text{-Al}_{0.15}\text{Ga}_{0.85}\text{As}$ からなる厚さ0.04~0.2  $\mu\text{m}$ 程度の蒸発防止層6、 $p\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる厚さ1.0~3.0  $\mu\text{m}$ 程度の上部第2クラッド層7、および $p\text{-GaAs}$ からなる厚さ0.3~5.0  $\mu\text{m}$ 程度のキャップ層8が形成されている。この電流ブロッキング層5と活性層3との距離は、電流注入部の真下に有効に電流を供給し、無効電流を少なくするために、0.2~0.5  $\mu\text{m}$ 程度にされ、電流ブロッキング層5と活性層3とのあいだの上部クラッド層である上部第1クラッド層4の比抵抗は0.01~0.5  $\Omega\cdot\text{cm}$ にされる。

【0014】電流ブロッキング層5には、電流注入領域13を形成するストライプが形成され、このストライプは基板表面の段差に現われているように、チップ全体に形成されるのではなく、発光端面Aから一定の長さLだけ形成され、その後方には電流ブロッキング層5が残され、後方に進んだ光を吸収できるようにしている。この長さLはたとえば250  $\mu\text{m}\times 250\text{ }\mu\text{m}$ の大きさのチップで、100~200  $\mu\text{m}$ 程度に形成され、ストライプの幅は3.0~20.0  $\mu\text{m}$ 程度である。

【0015】半導体基板1の裏面およびキャップ層8の表面にはそれぞれ $\text{AuGeNi}/\text{Au}$ および $\text{Ti}/\text{Au}$ などからなるオーミック電極9および10がそれぞれ設けられている。また、図1における前端面Aおよび後端面には $\text{Al}_2\text{O}_3$ 膜を $\lambda/4$ の厚さに形成したり、さらに $\text{a-Si}$ 膜などを多層化して低反射率コーティング膜11、12をそれぞれ設けている。この低反射率コーティング膜11、12を形成することにより、反射率を30%から4%位に低下でき、さらに多層化することにより1%以下に低下できる。

【0016】前記電流ブロッキング層5は、前記電流注入領域13を除いて、上部クラッド層中に設けられ、電流注入領域13下の活性層のみで発光させている。この電流ブロッキング層5は、前記半導体基板1と同じ導電型であり、バンドギャップエネルギーが前記活性層3と等しいかまたは活性層3よりも小さく、かつ、屈折率が同じく活性層3と等しいかまたは活性層3よりも大きい。このため、電流注入領域13の下に活性層3で発光して端面Aと反対側に進んだ光は反射することなく、容易に電流ブロッキング層5に入り込み、前記活性層3から発光した光を有効に吸収することができる。

【0017】つぎに本発明のSLDの製法について、MBE法で作製するばあいを例にとりて図2に基づき説明

する。

【0018】まず、半導体基板1の表面に厚さ1.5  $\mu\text{m}$ の $n\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる下部クラッド層2、厚さ0.08  $\mu\text{m}$ のアンドープ $\text{Al}_{0.05}\text{Ga}_{0.95}\text{As}$ からなる活性層3、厚さ0.4  $\mu\text{m}$ の $p\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる上部第1クラッド層4、厚さ0.3  $\mu\text{m}$ の $n\text{-GaAs}$ からなる電流ブロッキング層5、厚さ0.07  $\mu\text{m}$ の $n\text{-Al}_{0.15}\text{Ga}_{0.85}\text{As}$ からなる蒸発防止層6および厚さ0.04  $\mu\text{m}$ のアンドープ $\text{GaAs}$ からなる表面保護層21を順次積層する(図2の(a)参照)。この際、電流ブロッキング層5と活性層3との距離は0.2~0.5  $\mu\text{m}$ 程度になるようにする。また、上部第1クラッド層4の比抵抗を0.01~0.5  $\Omega\cdot\text{cm}$ となるようにする。

【0019】本発明では電流ブロッキング層5のバンドギャップエネルギーが活性層3のバンドギャップエネルギーと等しいかまたはそれより小さく、かつ、電流ブロッキング層5の屈折率が活性層3の屈折率と等しいかそれよりも大きくなるように形成されている。電流ブロッキング層5や活性層3に $\text{Al}_{1-x}\text{Ga}_x\text{As}$ を使用すると、 $x$ が小さいときバンドギャップエネルギーは小さく、屈折率は大きく、 $x$ が大きくなるとバンドギャップエネルギーは大きくなり、屈折率は小さくなる。したがって電流ブロッキング層に活性層より $x$ の小さい組成を使用することにより、前述の関係がえられる。

【0020】つぎに、図3に示されるようなマスクを用い、前述した第1回結晶成長工程で積層したウエハに電流ブロッキング層5に達するストライプ溝(幅約6  $\mu\text{m}$ )をケミカルエッチングにより形成する(図2の(b)参照)。その際、 $\text{Al}$ を含むクラッド層が空气中で酸化されるのを防止し、後述の蒸発速度の差を利用して蒸発により除去するため、電流ブロッキング層5のうち下部の0.1  $\mu\text{m}$ 程度を残すようにする。

【0021】つぎに前記ウエハを再びMBE装置内に入れ、 $\text{GaAs}$ と $\text{AlGaAs}$ との蒸発速度の差を利用し、 $\text{GaAs}$ だけを選択的に蒸発させる(図2の(c)参照)。この熱エッチング工程の温度は約760  $^{\circ}\text{C}$ で、処理時間は約10分である。そして、 $\text{GaAs}$ の蒸発速度は760  $^{\circ}\text{C}$ で1.2  $\mu\text{m}/\text{h}$ であるのに対し、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ の蒸発速度は760  $^{\circ}\text{C}$ で0.01  $\mu\text{m}/\text{h}$ 以下であるので、 $\text{GaAs}$ のみを選択的に蒸発する。この工程により、表面が酸化されていないきれいなクラッド層が表われる。

【0022】ついでウエハ温度を580  $^{\circ}\text{C}$ まで下げ、第2回の結晶成長工程により、厚さ1.2  $\mu\text{m}$ の $p\text{-Al}_{0.6}\text{Ga}_{0.4}\text{As}$ からなる上部第2クラッド層7および厚さ1.2  $\mu\text{m}$ の $p\text{-GaAs}$ からなるキャップ層8を前記ウエハ上に積層する(図2の(d)参照)。

【0023】以上のように、1回のマスク工程と2回のエビ工程だけでウエハ製造工程が終了する。このようにして製造されたウエハをラッピングにより $n\text{-GaAs}$

基板1を削り、厚さ60 $\mu$ m程度にする。そののち、ウェハの下面および上面にそれぞれAuGeNi/AuおよびTi/Auなどを蒸着させて、オーミック電極9、10を形成する。さらに、劈開でチップ化を行い、えられたチップの両端面にスパッタ法でAl<sub>2</sub>O<sub>3</sub>、a-Siからなる低反射率コーティング膜11、12を形成する。

【0024】なお、前述した実施例では、結晶を成長させる方法としてMBE法を用いているが、MBE法以外にMOVPE法（有機金属気相成長法）、MOMBE法（有機金属分子線成長法）などを用いることもできる。

【0025】さらに、前述の実施例ではn型GaAsからなる半導体基板の例で説明したが、逆のp型基板でもよく、またGaAs以外のInP、ZnSeなどでもよい。さらに、Al<sub>x</sub>Ga<sub>1-x</sub>AsでAlとGaの割合を特定値の例で説明したが、その値に限らず、クラッド層では0.3  $\leq$  x  $\leq$  0.8の範囲で、活性層では0.0  $\leq$  x  $\leq$  0.3の範囲で、電流ブロッキング層では0.0  $\leq$  x  $\leq$  0.3の範囲で特性に応じて自由に選定できる。また基板上に積層する半導体層もAlGaAs層に限らず、InGaAlP、InGaAsP、ZnCdSSeなどを使用することもできる。

【0026】また、活性層をアンドープの例で説明したが、p型やn型でもよい。また、ストライプもストライプ溝の例で説明したが、溝以外の構成でもよい。

【0027】さらに、前記実施例では、熱エッチング工程を設け、その工程で電流ブロッキング層のエッチングを完全に行ったが、熱エッチング工程を行わないばあい、蒸発防止層6や表面保護層21は不要である。

【0028】また、前記実施例では低反射率コーティング膜を形成している。そして、この反射率は小さいのが好ましいが、30%程度であっても十分にFPモードを抑圧しうる。

【0029】

【発明の効果】以上説明したとおり、本発明のSLDにおいては、非励起領域が有効な光吸収機能をもっているため、該領域は短かくてもよく、その結果、素子のサイズ（長さ）を小さくすることができる。また、電流注入部に有効に電流を注入できるので、小さな電流で大きな強度のインコヒーレント光を発光させることができる。さらに、電流注入部と光吸収機能をもつ非励起領域をマスク1回の工程だけで作製することができ、その他の工程は変わらないので製造が容易である。また、平面基板上に活性層を形成するため、気相成長でも十分に結晶性の良好なものをうるることができる。

【0030】その結果、特別の工程を必要とすることはなく、性能の良い小型のSLDをうるることができる。

【図面の簡単な説明】

【図1】本発明のSLDの一実施例の説明図である。

【図2】本発明のSLDの一実施例の製造工程説明図である。

【図3】本発明のSLDの製造に用いられるマスクの部分平面図である。

【図4】従来のSLDの断面説明図である。

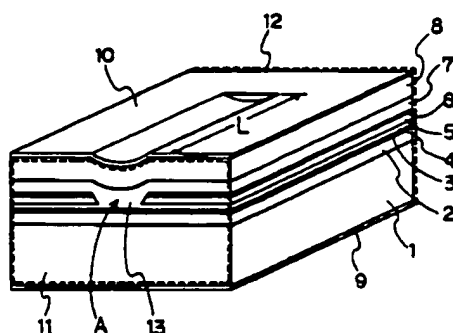
【図5】従来のSLDの断面説明図である。

【図6】従来のSLDの断面説明図である。

【符号の説明】

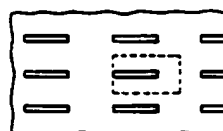
- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13 電流注入領域

【図1】

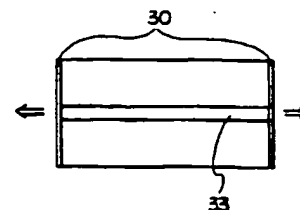


- 1 半導体基板
- 2 下部クラッド層
- 3 活性層
- 4 上部第1クラッド層
- 5 電流ブロッキング層
- 7 上部第2クラッド層
- 11、12 低反射率コーティング膜
- 13 電流注入領域

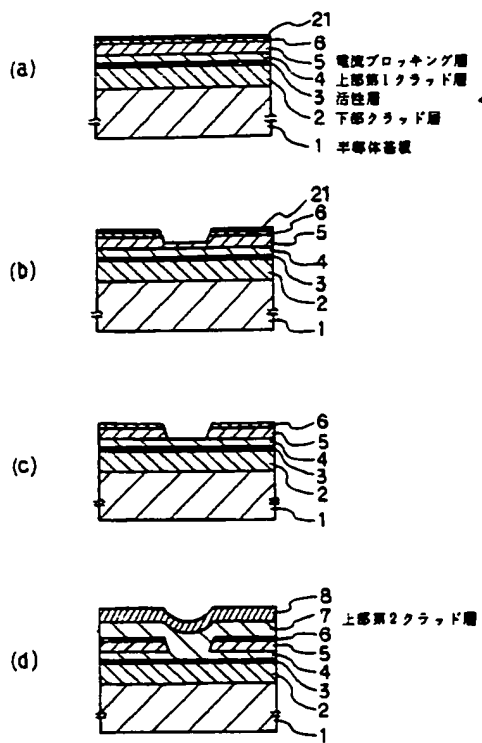
【図3】



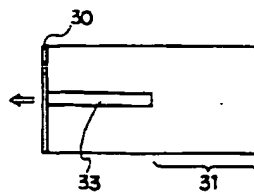
【図4】



【図 2】



【図 5】



【図 6】

